

Family list

1 family member for: **JP8254714**

Derived from 1 application

**1 PRODUCTION OF REFLECTION TYPE LIQUID CRYSTAL DISPLAY
DEVICE**

Inventor: SASAKI TAKAHIRO; YOSHIDA HIDESHI; **Applicant:** FUJITSU LTD

(+4)

EC:

IPC: G02F1/1335; G02F1/136; G02F1/1368 (+

Publication info: JP8254714 A - 1996-10-01

Data supplied from the **esp@cenet** database - Worldwide

Patent number: JP8254714
Publication date: 1996-10-01
Inventor: SASAKI TAKAHIRO; YOSHIDA HIDESHI; HANAOKA KAZUTAKA; TSUDA HIDEAKI; SENDA HIDEO; NAKAMURA KIMIYAKI
Applicant: FUJITSU LTD
Classification:
- international: **G02F1/1335; G02F1/136; G02F1/1368; G02F1/13;**
(IPC1-7): G02F1/136; G02F1/1335
- european:
Application number: JP19950056959 19950316
Priority number(s): JP19950056959 19950316

Report a data error here

Abstract of JP8254714

PURPOSE: To entirely eliminate the problem of corrosion and dissolution by the galvanic cell effect occurring in a developer at the time of forming a mask to be used for patterning of a reflection electrode film when Al is used for the reflection electrode film and ITO for connecting electrodes and even if pinhole exists in the reflection electrode film. **CONSTITUTION:** TFT parts are covered with a passivation film 30 formed with through-holes 30A in which source electrodes 28S are partly exposed. A resist film 34 is formed in the state of exposing the connecting electrodes 32G in gate terminal parts and exposing the connecting electrodes 32D in drain terminal parts. Openings 34A of reflection electrode patterns exposing the through-holes 30A are formed by executing exposing and developing of the resist film 34. The reflection electrode film 35 is formed on the resist film 34 including the openings 34A. The resist film 34 is peeled together with the reflection electrode film 35 existing therein, by which the reflection electrodes in contact with the source electrodes 28S are obtd.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-254714

(43)公開日 平成8年(1996)10月1日

(51) Int. Cl. ⁶	識別記号	F I
G02F 1/136	500	G02F 1/136 500
1/1335	520	1/1335 520

審査請求 未請求 請求項の数 3 O L (全18頁)

(21)出願番号 特願平7-56959

(22)出願日 平成7年(1995)3月16日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 佐々木 貴啓

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 吉田 秀史

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74)代理人 弁理士 柏谷 昭司 (外1名)

最終頁に続く

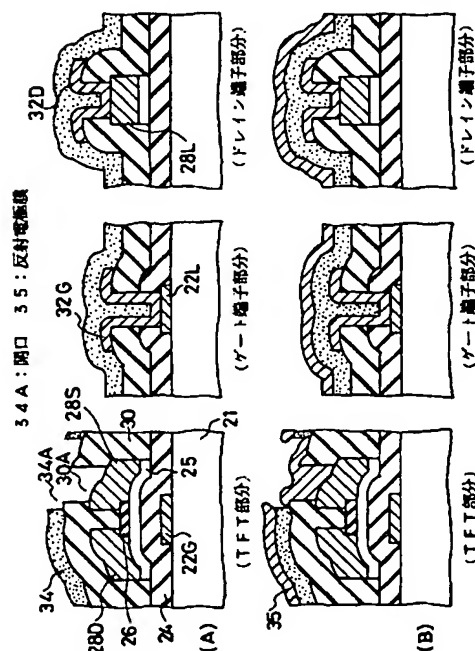
(54)【発明の名称】 反射型液晶表示装置の製造方法

(57)【要約】

【目的】 反射型液晶表示装置の製造方法に関し、反射電極膜にA1を、また、接続用電極にITOを用い、しかも、反射電極膜にピン・ホールが存在している場合であっても、反射電極膜をパターン化する為に用いるマスクを形成する際、現像液に起因する電池効果に依る腐食・溶解の問題は無縁であるようにする。

【構成】 TFT部分ではソース電極28Sの一部が表出されるスルー・ホール30Aが形成されたバッシベーション膜30で覆われ、ゲート端子部分では接続用電極32Gが表出され、ドレイン端子部分では接続用電極32Dが表出された状態でレジスト膜34を形成し、レジスト膜34の露光と現像を行ってスルー・ホール30Aを表出する反射電極パターンの開口34Aを形成し、開口34Aを含むレジスト膜34上に反射電極膜35を形成し、レジスト膜34をその上に在る反射電極膜35と共に剥離してソース電極28Sとコンタクトする反射電極を得る。

【図要所に於けるTFT基板を表す要部切断側面図



【特許請求の範囲】

【請求項 1】 T F T 基板を製造する工程中に於いて、T F T 部分ではソース電極の一部が表出されるスルー・ホールが形成されたパッシベーション膜で覆われ、ゲート端子部分では接続用電極が表出され、ドレイン端子部分では接続用電極が表出された状態でレジスト膜を全面に形成する工程と、

次いで、前記レジスト膜の露光及び現像を行って前記スルー・ホールを表出する反射電極パターンの開口を形成する工程と、

次いで、前記反射電極パターンの開口を含むレジスト膜上に反射電極膜を形成する工程と、

次いで、前記レジスト膜をその上に在る反射電極膜と共に剥離して前記ソース電極とコンタクトする反射電極を形成する工程とが含まれてなることを特徴とする反射型液晶表示装置の製造方法。

【請求項 2】 レジスト膜の露光及び現像を行ってスルー・ホールを表出する反射電極パターンの開口及び遮光膜パターンの開口を形成する工程と、

次いで、前記反射電極パターンの開口及び遮光膜パターンの開口を含むレジスト膜上に反射電極膜を形成する工程と、

次いで、前記レジスト膜をその上に在る反射電極膜と共に剥離して前記ソース電極とコンタクトする反射電極及び T F T への光リークを抑制する遮光膜を同時に形成する工程とが含まれることを特徴とする請求項 1 記載の反射型液晶表示装置の製造方法。

【請求項 3】 接続用電極の材料が I T O であり且つ反射電極の材料が A 1 であることを特徴とする請求項 1 或いは 2 記載の反射型液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、視差が起こり難いように改善された構造をもつ反射型液晶表示装置を製造する方法に関する。

【0002】 現在、反射型液晶表示装置に於いては、反射板をセルの外側に設置した構造にした場合、背面ガラス基板の厚さに起因する視差が起こり易くなるので、それに対処する為、反射層をセルの内部に設けた構造にすることが行われている。

【0003】 然しながら、そのようにすると、製造中或いは製造後に損傷が発生し、製造歩留りの低下や信頼性の劣化が起こるので、これを改善する必要がある。本発明に依れば、その問題を解消することができる。

【0004】

【従来の技術】 図 1 8 は標準的な反射型液晶表示装置に於ける T F T (t h i n f i l m t r a n s i s t o r) 基板を表す要部平面図である。

【0005】 図に於いて、1 は透明絶縁性基板（ガラス基板）、2 は T F T 領域、3 はゲート端子、4 はドレイ

ン端子をそれぞれ示している。

【0006】 図 1 9 は図 1 8 に見られる T F T 領域の一部を拡大して表した要部平面図であり、ある画素を中央にして、その近傍も含めて表してある。

【0007】 図に於いて、1 1 はゲート電極・配線、1 1 A はゲート電極、1 2 はドレイン電極・配線、1 2 A はドレイン電極、1 3 はソース電極、1 3 A はスルー・ホール、1 4 は画素電極（反射電極）をそれぞれ示している。

10 【0008】 図 2 0 は図 1 8 に見られる端子の部分を拡大して表した要部平面図であって、(A) はゲート端子部分、また、(B) はドレイン端子部分であり、図 1 9 に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

【0009】 図に於いて、1 5 は外部素子との接続用電極、1 6 はスルー・ホール、1 7 は外部素子との接続用電極、1 8 はスルー・ホールをそれぞれ示している。

20 【0010】 反射層をセルの内部に設けた構造の反射型液晶表示装置を得るには、図 1 8 乃至図 2 0 について説明した T F T 基板に於いて、画素電極 1 4 を反射電極として機能することが可能であるようにすれば良く、次に、そのような構成をもった T F T 基板を作成する工程について説明する。

【0011】 図 2 1 乃至図 2 3 は図 1 8 乃至図 2 0 について説明した T F T 基板を製造する工程について説明する為の工程要所に於ける T F T 基板を表す要部切断側面図であり、以下、これ等の図を参照しつつ解説する。

30 【0012】 ただし、何れの図に於いても、(T F T 部分) は、図 1 9 に見られる T F T 部分を線 X - X に沿って切断して表した図であり、(ゲート端子部分) は、図 2 0 に於ける (A) に見られるゲート端子部分を線 Y - Y に沿って切断して表した図であり、(ドレイン端子部分) は、図 2 0 に於ける (B) に見られるドレイン端子部分を線 X - X に沿って切断して表した図である。

【0013】 図 2 1 に表された T F T 基板の構成に至るまでの工程は、反射電極膜 3 5 の形成を除き、図 1 乃至図 1 3 (A) について説明されている本発明一実施例の工程と全く同じであるから、それ等の図及び説明を参照されたい。

40 【0014】 図 2 1 (A) 参照
2 1 - (1)

図示されている T F T 基板の状態は、

【0015】 ① (T F T 部分) に於いて

絶縁性透明基板 2 1 上にゲート電極 2 2 G が形成され、ゲート電極 2 2 G はゲート絶縁膜 2 4 で覆われ、ゲート絶縁膜 2 4 上に活性層 2 5 が形成され、ゲート電極 2 2 G に対応する活性層 2 5 上にチャネル保護膜 2 6 が形成され、チャネル保護膜 2 6 を挟んでドレイン電極 2 8 D 及びソース電極 2 8 S が対向して形成され、それ等の上にはソース電極 2 8 S 上に開口をもつパッシベーション

膜 3 0 が形成され、パッシベーション膜 3 0 上には前記開口を介してソース電極 2 8 S とコンタクトする反射電極膜 3 5 が形成された状態に在る。

【 0 0 1 6 】 ② (ゲート端子部分) に於いて

絶縁性透明基板 2 1 上にゲート電極・配線 2 2 L が形成され、その上はゲート電極・配線 2 2 L 上に開口をもつゲート絶縁膜 2 4 及び同じく開口をもつパッシベーション膜 3 0 で覆われ、パッシベーション膜 3 0 上には前記開口を介してゲート電極・配線 2 2 L にコンタクトする接続用電極 3 2 G が形成され、その上を反射電極膜 3 5 が覆っている状態に在る。

【 0 0 1 7 】 ③ (ドレイン端子部分) に於いて

絶縁性透明基板 2 1 はゲート絶縁膜 2 4 で覆われ、ゲート絶縁膜 2 4 上にはパターンニングされた活性層 2 5 を下地としてドレイン電極・配線 2 8 L が形成され、その上はドレイン電極・配線 2 8 L 上に開口をもつパッシベーション膜 3 0 で覆われ、パッシベーション膜 3 0 上には前記開口を介してゲート電極・配線 2 8 L にコンタクトする接続用電極 3 2 D が形成され、その上を反射電極膜 3 5 が覆っている状態に在る。

【 0 0 1 8 】 さて、本発明一実施例の図 1 乃至図 1 3

(A) について説明されている工程に結び付く反射電極膜 3 5 の形成から説明しよう。

【 0 0 1 9 】 2 1 - (2)

真空蒸着法を適用することに依り、A l 或いは A g からなる反射電極膜 3 5 を形成する。

【 0 0 2 0 】 図 2 1 (B) 参照

2 1 - (3)

スピン・コート法を適用することに依り、反射電極膜 3 5 上にレジストを塗布してレジスト膜 3 6 を形成する。

【 0 0 2 1 】 図 2 2 (A) 参照

2 2 - (1)

リソグラフィ技術に於けるレジスト・プロセスを適用することに依り、レジスト膜 3 6 の露光及び現像を行い、T F T 部分に於ける反射電極のパターンを形成する。尚、ゲート端子部分、及び、ドレイン端子部分にレジスト膜は残らない。

【 0 0 2 2 】 図 2 2 (B) 参照

2 2 - (2)

パターンニングされたレジスト膜 3 6 をマスクにして反射電極膜 3 5 のエッチングを行って、T F T 部分では反射電極 3 5 R を形成する。尚、ゲート端子部分及びドレイン端子部分に於ける反射電極膜 3 5 は除去されてしまう。

【 0 0 2 3 】 図 2 3 参照

2 3 - (1)

レジスト剥離液中に浸漬するなどして、反射電極膜 3 5 をエッチングした際のマスクであるレジスト膜 3 6 を除去する。

【 0 0 2 4 】 これに依って、T F T 部分では、ソース電

極 2 8 S とコンタクトしている反射電極 3 5 R が表出され、ゲート端子部分及びドレイン端子部分では、接続電極 3 2 G 及び 3 2 D が表出される。

【 0 0 2 5 】

【発明が解決しようとする課題】 前記説明した従来の技術に於ける工程で、反射電極膜 3 5 をエッチングして反射電極 3 5 R とするには、硝酸+酢酸+リン酸+水からなるエッチング液をエッチャントとするウェット・エッチング法を適用している。

【 0 0 2 6 】 反射電極 3 5 R としては、反射率が高い材料で構成することが好ましいのは勿論であり、その意味からは A g が最適であるが、A g は拡散率が高い材料であって、下地への拡散及び反応の可能性は大きい。

【 0 0 2 7 】 これに対し、A l は下地への拡散及び反応の可能性が小さく、また、集積回路に於けるメタライゼーションに広く用いられ、エッチング条件などの特性も良いことから、反射電極 3 5 R には、A l を用いることが多い。

【 0 0 2 8 】 ところで、図 2 1 乃至図 2 3 について記述した従来の技術に於いて、その工程 2 1 - (1) 乃至 2 2 - (2) に見られる説明で、ゲート端子部分及びドレイン端子部分では、I T O からなる接続用電極 3 2 G 及び 3 2 D 上に A l からなる反射電極膜 3 5 が成膜され、その反射電極膜 3 5 はウェット・エッチングされることは前記した通りである。

【 0 0 2 9 】 一般に、薄膜は、バルク状態の物質に比較し、格子欠陥が桁違いに多く、結晶は不完全であり、従って、反射電極膜 3 5 には多くのピン・ホールが生成されている。

【 0 0 3 0 】 図 2 4 は図 2 1 (B) に破線の円で囲んだ部分を拡大して表した要部切断側面図であり、図 2 1 に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

【 0 0 3 1 】 図に於いて、3 5 P は I T O からなる接続用電極 3 2 G 或いは 3 2 D 上に形成された反射電極膜 3 5 に生成されたピン・ホールを示している。

【 0 0 3 2 】 さて、図示の状態、レジスト膜 3 6 の露光及び現像を行った場合、その現像液が反射電極膜 3 5 と接続用電極 3 2 G 或いは 3 2 D との両方に同時に接することになる。

【 0 0 3 3 】 前記した通り、反射電極膜 3 5 の材料が A l であって、接続用電極 3 2 G 或いは 3 2 D の材料が I T O である場合、現像液が介在して電池効果が起こり、A l と I T O が反応して腐食・溶解されるので、これが、T F T の製造歩留り、延いては、反射型液晶表示装置の製造歩留りを確実に低下させていることが判った。

【 0 0 3 4 】 本発明では、反射電極膜に A l を、そして、接続用電極に I T O をそれぞれ用い、しかも、反射電極膜にピン・ホールが存在している場合であっても、反射電極膜をパターン化する為に用いるマスクを形成す

る際、現像液に起因する電池効果に依る腐食・溶解の問題は無縁であるようにする。

【0035】

【課題を解決するための手段】本発明では、反射電極膜をパターン化することに依って反射電極を形成するに際してリフト・オフ法を適用するようにし、そのリフト・オフの為のマスクをリソグラフィ技術に於けるレジスト・プロセスの露光及び現像で作成する間、その工程上、ゲート端子部分及びドレイン端子部分がレジスト膜で必然的に覆われた状態になることが基本になっている。

【0036】前記したところから、本発明の反射型液晶表示装置の製造方法に於いては、

(1) TFT基板を製造する工程中に於いて、TFT部分(例えば各図に於ける(TFT部分))ではソース電極(例えばソース電極28S)の一部が表出されるスルー・ホール(例えばスルー・ホール30A)が形成されたパッシベーション膜(例えばパッシベーション膜30)で覆われ、ゲート端子部分(例えば各図に於ける(ゲート端子部分))では接続用電極(例えば接続用電極32G)が表出され、ドレイン端子部分(例えば(ドレイン端子部分))では接続用電極(例えば接続用電極32D)が表出された状態でレジスト膜(例えばレジスト膜34)を全面に形成する工程と、次いで、前記レジスト膜の露光及び現像を行って前記スルー・ホールを表出する反射電極パターンの開口(例えば開口34A)を形成する工程と、次いで、前記反射電極パターンの開口を含むレジスト膜上に反射電極膜(例えば反射電極膜35)を形成する工程と、次いで、前記レジスト膜をその上に在る反射電極膜と共に剥離して(リフト・オフ)前記ソース電極とコンタクトする反射電極(例えば反射電極35R)を形成する工程とが含まれてなることを特徴とするか、或いは、

【0037】(2)前記(1)に於いて、レジスト膜の露光及び現像を行ってスルー・ホールを表出する反射電極パターンの開口及び遮光膜パターンの開口を形成する工程と、次いで、前記反射電極パターンの開口及び遮光膜パターンの開口(例えば遮光膜パターンの開口34B)を含むレジスト膜上に反射電極膜を形成する工程と、次いで、前記レジスト膜をその上に在る反射電極膜と共に剥離して前記ソース電極とコンタクトする反射電極及びTFTへの光リークを抑制する遮光膜(例えば遮光膜35C)を同時に形成する工程とが含まれることを特徴とするか、或いは、

【0038】(3)前記(1)或いは(2)に於いて、接続用電極の材料がITOであり且つ反射電極の材料がAlであることを特徴とする。

【0039】

【作用】前記手段を採ることに依り、反射電極膜と接続用電極とが接触した状態で、レジスト膜の現像が行われることは皆無であり、従って、反射電極膜がAlで、ま

た、ゲート端子部分及びドレイン端子部分に於ける接続用電極がITOで、それぞれ構成されている場合であっても、電池効果に起因する腐食・溶解は発生することがなく、TFTアレイで制御される反射型液晶表示装置の製造歩留りは向上する。

【0040】

【実施例】図1乃至図15は本発明の第一実施例である反射型液晶表示装置に用いるTFT基板を製造する工程について説明する為の工程要所に於けるTFT基板を表す要部切断側面図であり、以下、これ等の図を参照しつつ解説する。

【0041】これ等の図に於いても、(TFT部分)

は、図19に見られるTFT部分を線X-Xに沿って切断して表したものに類似する図であり、(ゲート端子部分)は図20(A)に見られるゲート端子部分を線Y-Yに沿って切断して表したものに類似する図であり、(ドレイン端子部分)は図20(B)に見られるドレイン端子部分を線X-Xに沿って切断して表したものに類似する図である。

【0042】図1(A)参照

1-(1)

通常の液晶表示装置に用いられている絶縁性透明基板21を用意する。この絶縁性透明基板21の材料には、一般にガラスを用いるが、その他、Siウエハやプラスチックなどを用いることもできる。

【0043】1-(2)

絶縁性透明基板21上にゲート電極材料膜22を形成する。このゲート電極材料膜22には、Al、Ti、Crなどの導電性物質を用いることができ、また、成膜技術としては、真空蒸着法、スパッタリング法、化学気相堆積(chemical vapor deposition: CVD)法などを適用することができる。

【0044】図1(B)参照

1-(3)

スピン・コート法を適用することに依り、ゲート電極材料膜22上にレジストを塗布してレジスト膜23を形成する。

【0045】図2(A)参照

2-(1)

リソグラフィ技術に於けるレジスト・プロセスを適用することに依り、レジスト膜23の露光及び現像を行い、ゲート電極及びゲート・バス・ラインであるゲート電極・配線のパターンを形成する。尚、ドレイン端子部分にレジスト膜は残らない。

【0046】図2(B)参照

2-(2)

パターンニングされたレジスト膜23をマスクにしてゲート電極材料膜22のエッチングを行って、TFT部分ではゲート電極22Gを、ゲート端子部分ではゲート電極・配線22Lをそれぞれ形成する。

7

【0047】ゲート電極材料膜 22 をエッチングするには、その材料に対応して、HCl 系エッチング液やフッ化水素酸系エッチング液などをエッチャントとして選択するウェット・エッチング法を適用するか、或いは、CF₄ 系ガスや CCl₄ 系ガスなどをエッチング・ガスとして選択する反応性イオン・エッチング (reactive ion etching: RIE) 法を適用することができる。

【0048】図 3 (A) 参照

3 - (1)

レジスト剥離液中に浸漬し且つ超音波を加えるなどして、ゲート電極材料膜 22 をエッチングした際のマスクであるレジスト膜 23 を除去する。これに依って、ゲート電極 22G 及びゲート電極・配線 22L が表出されるが、ドレイン端子部分には、勿論、何も残らないので、絶縁性透明基板 21 のままである。

【0049】図 3 (B) 参照

3 - (2)

CVD 法を適用することに依り、全面にゲート絶縁膜 24 を形成する。このゲート絶縁膜 24 の材料としては、SiN 或いは SiO₂ などを用いることができる。

【0050】3 - (3)

CVD 法を適用することに依り、全面に活性層 25 を形成する。この活性層 25 の材料としては Si を用いて良い。

【0051】3 - (4)

例えばイオン注入法を適用することに依り、n 型不純物イオン、或いは、p 型不純物イオンを活性層 25 に打ち込んで導電性化する。尚、不純物の活性化熱処理は、それ独自に実施しても、或いは、適当な段階で、他の熱処理と兼ねて実施することも可能である。

【0052】3 - (5)

CVD 法を適用することに依り、チャネル保護膜 26 を形成する。このチャネル保護膜 26 の材料としては SiN、或いは、SiO₂ などを用いることができる。

【0053】図 4 (A) 参照

4 - (1)

スピン・コート法を適用することに依り、チャネル保護膜 26 上にレジストを塗布してレジスト膜 27 を形成する。

【0054】図 4 (B) 参照

4 - (2)

リソグラフィ技術に於けるレジスト・プロセスを適用することに依り、レジスト膜 27 の露光及び現像を行い、TFT に於ける実際のチャネル保護膜のパターンを形成する。尚、ゲート端子部分及びドレイン端子部分にはレジスト膜は残らない。

【0055】図 5 (A) 参照

5 - (1)

フッ化水素酸系エッチング液をエッチャントとするウェ

8

ット・エッチング法を適用することに依り、レジスト膜 27 をマスクとしてチャネル保護膜 26 のエッチングを行う。尚、ゲート端子部分及びドレイン端子部分にはチャネル保護膜は残らない。

【0056】図 5 (B) 参照

5 - (2)

チャネル保護膜 26 をエッチングした際のマスクであるレジスト膜 27 を剥離する。これに依って、チャネル保護膜 26 が表出される。

10 【0057】図 6 (A) 参照

6 - (1)

全面にソース・ドレイン電極材料膜 28 を形成する。このソース・ドレイン電極材料には、Al、Ti、Cr などの導電性物質を用いることができ、そして、成膜技術として、真空蒸着法、スパッタリング法、CVD 法などを適用することができる。

【0058】6 - (2)

スピン・コート法を適用することに依り、ソース・ドレイン電極材料膜 28 上にレジストを塗布してレジスト膜 29 を形成する。

【0059】図 7 (A) 参照

7 - (1)

リソグラフィ技術に於けるレジスト・プロセスを適用することに依り、レジスト膜 29 の露光及び現像を行い、ソース電極及びドレイン電極及びドレイン・バス・ラインであるドレイン電極・配線のパターンを形成する。

尚、ゲート端子部分にレジスト膜は残らない。

【0060】図 7 (B) 参照

7 - (2)

30 バターニングされたレジスト膜 29 をマスクにしてソース・ドレイン電極材料膜 28 のエッチングを行って、TFT 部分ではソース電極 28S 及びドレイン電極 28D を、ドレイン端子部分ではドレイン電極・配線 28L をそれぞれ形成する。尚、ゲート端子部分に於けるソース・ドレイン電極材料膜 28 は全て除去されてしまう。

【0061】図 8 (A) 参照

8 - (1)

40 レジスト剥離液中に浸漬するなどして、ソース・ドレイン電極材料膜 28 をエッチングした際のマスクであるレジスト膜 29 を除去する。これに依って、ソース電極 28S 及びドレイン電極 28D とドレイン電極・配線 28L が表出される。

【0062】図 8 (B) 参照

8 - (2)

CVD 法を適用することに依って、全面にパッシベーション膜 30 を形成する。このパッシベーション膜 30 の材料としては、SiN 或いは SiO₂ などを用いることができる。尚、後に形成する反射電極を乱反射面にする為、画素電極に対応する領域のパッシベーション膜に粗面処理を施しても良い。

【 0 0 6 3 】 図 9 (A) 参照

9 - (1)

スピン・コート法を適用することに依り、パッシベーション膜 3 0 上にレジストを塗布してレジスト膜 3 1 を形成する。

【 0 0 6 4 】 図 9 (B) 参照

9 - (2)

リソグラフィ技術に於けるレジスト・プロセスを適用することに依り、レジスト膜 3 1 の露光及び現像を行い、TFT 部分ではソース電極へのスルー・ホール形成用開口 3 1 A、ゲート端子部分ではゲート電極・配線 2 2 L へのスルー・ホール形成用開口 3 1 B、ドレイン端子部分ではドレイン電極・配線 2 8 L へのスルー・ホール形成用開口 3 1 C をそれぞれ形成する。

【 0 0 6 5 】 図 1 0 (A) 参照

1 0 - (1)

フッ化水素酸系エッチング液をエッチャントとするウェット・エッチング法を適用することに依って、レジスト膜 3 1 をマスクとしてパッシベーション膜 3 0 のエッチングを行い、スルー・ホール 3 0 A、スルー・ホール 3 0 B、スルー・ホール 3 0 C を形成する。

【 0 0 6 6 】 図 1 0 (B) 参照

1 0 - (2)

レジスト剥離液中に浸漬するなどして、スルー・ホール 3 0 A、スルー・ホール 3 0 B、スルー・ホール 3 0 C を形成した際にマスクとして用いたレジスト膜 3 1 を除去する。

【 0 0 6 7 】 図 1 1 (A) 参照

1 1 - (1)

全面にゲート・ドレイン端子材料膜 3 2 を形成する。このゲート・ドレイン端子材料膜 3 2 には、ITO (indium tin oxide) を用いて良く、また、成膜技術としては、真空蒸着法、スパッタリング法などを適用することができる。

【 0 0 6 8 】 ゲート・ドレイン端子材料膜 3 2 は、後にパターニングされるのであるが、これは、ゲート端子及びドレイン端子を外部素子と接続する際の半田付けの強度を向上させる為に必要となるものである。

【 0 0 6 9 】 図 1 1 (B) 参照

1 1 - (2)

スピン・コート法を適用することに依り、ゲート・ドレイン端子材料膜 3 2 上にレジストを塗布してレジスト膜 3 3 を形成する。

【 0 0 7 0 】 図 1 2 (A) 参照

1 2 - (1)

リソグラフィ技術に於けるレジスト・プロセスを適用することに依り、レジスト膜 3 3 の露光及び現像を行い、ゲート端子部分に於ける外部素子との接続用電極、及び、ドレイン端子部分に於ける外部素子との接続用電極のパターンを形成する。尚、TFT 部分にレジスト膜は

残らない。

【 0 0 7 1 】 図 1 2 (B) 参照

1 2 - (2)

パターニングされたレジスト膜 3 3 をマスクにしてゲート・ドレイン端子材料膜 3 2 のエッチングを行って、ゲート端子部分では ITO 膜からなる接続用電極 3 2 G を、ドレイン端子部分では同じく接続用電極 3 2 D をそれぞれ形成する。

【 0 0 7 2 】 ゲート・ドレイン端子材料膜 3 2 をエッチングするには、無水酢酸をエッチャントとするウェット・エッチング法、或いは、FeCl₃ をエッチング・ガスとするドライ・エッチング法などを適用することができる。

【 0 0 7 3 】 図 1 3 (A) 参照

1 3 - (1)

レジスト剥離液中に浸漬するなどして、ゲート・ドレイン端子材料膜 3 2 をエッチングした際のマスクであるレジスト膜 3 3 を除去する。これに依って、接続用電極 3 2 G 及び接続用電極 3 2 D が表出されるが、TFT 部分には、何も残らないので、ソース電極 2 8 S 上にスルー・ホール 3 0 A をもつパッシベーション膜 3 0 が存在するのみである。

【 0 0 7 4 】 図 1 3 (B) 参照

1 3 - (2)

スピン・コート法を適用することに依り、全面にレジストを塗布して厚さが例えば 8 0 0 0 (Å) 程度のレジスト膜 3 4 を形成する。

【 0 0 7 5 】 図 1 4 (A) 参照

1 4 - (1)

リソグラフィ技術に於けるレジスト・プロセスを適用することに依り、レジスト膜 3 4 の露光及び現像を行って開口 3 4 A を形成し、パッシベーション膜 3 0 に形成されてソース電極 2 8 S の一部をのぞむスルー・ホール 3 0 A を再び表出させる。尚、ゲート端子部分及びドレイン端子部分はレジスト膜 3 4 で覆われた状態に在る。

【 0 0 7 6 】 図 1 4 (B) 参照

1 4 - (2)

レジスト膜 3 4 を残した状態で、真空蒸着法を適用することに依り、厚さが例えば 5 0 0 0 (Å) 程度である Al からなる反射電極膜 3 5 を形成する。尚、反射電極膜 3 5 は、乱反射可能にする為、少なくとも画素電極 1 4 の領域に対応する部分を粗面処理しても良い。

【 0 0 7 7 】 反射電極膜 3 5 を形成する技術としては、真空蒸着法の他、スパッタリング法、或いは、CVD 法などを適用することができる。また、反射電極膜 3 5 の厚さは 3 0 0 0 (Å) 以上であることが望ましい。尚、反射電極膜 3 5 は、レジスト膜 3 4 が厚く形成されていることから、そのステップ・カバリッジは悪い状態にある。

【 0 0 7 8 】 図 1 5 参照

15 - (1)

レジスト剥離液中に浸漬するなどして、レジスト膜 3 4 を反射電極膜 3 5 と共に除去する。

【0079】これに依って、TFT 部分では、ソース電極 2 8 S とコンタクトした反射電極 3 5 R が形成されたが、ゲート端子部分及びドレイン端子部分では、反射電極膜 3 5 の全てがレジスト膜 3 4 上に在ったので、残らず除去されてしまい、接続電極 3 2 G 及び 3 2 D が表出される。

【0080】このようにして製造された TFT 基板は、10 対向基板、液晶など共に反射型液晶表示装置として組み立てられるが、電池効果に起因する腐食・溶解が起こることはない。

【0081】図 1 6 及び図 1 7 は本発明の第二実施例である反射型液晶表示装置に用いる TFT 基板を製造する工程について説明する為の工程要所に於ける TFT 基板を表す要部切断側面図であり、以下、この図を参照しつつ解説する。尚、図 1 乃至図 1 5 に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

【0082】図 1 6 に表された TFT 基板の構成に至るまでの工程は、反射電極膜 3 5 の形成を除き、図 1 乃至図 1 3 (A) について説明されている本発明一実施例の工程と全く同じであるから、それ等の図及び説明を参照されると良い。

【0083】図 1 6 (A) 参照

16 - (1)

リソグラフィ技術に於けるレジスト・プロセスを適用することに依り、レジスト膜 3 4 の露光及び現像を行って開口 3 4 A 及び開口 3 4 B を形成し、開口 3 4 A 内に20 は、パッシベーション膜 3 0 に形成されてソース電極 2 8 S の一部をのぞむスルー・ホール 3 0 A を再び表出させる。尚、ゲート端子部分及びドレイン端子部分はレジスト膜 3 4 で覆われた状態に在る。

【0084】図 1 6 (B) 参照

16 - (2)

レジスト膜 3 4 を残した状態で、真空蒸着法を適用することに依り、厚さが例えば 5 0 0 0 [Å] 程度である A 1 からなる反射電極膜 3 5 を形成する。尚、反射電極膜 3 5 は、乱反射可能にする為、少なくとも画素電極 1 440 の領域に対応する部分を粗面処理しても良い。

【0085】反射電極膜 3 5 を形成する技術としては、真空蒸着法の他、スパッタリング法、或いは、CVD 法などを適用することができる。また、反射電極膜 3 5 の厚さは 3 0 0 0 [Å] 以上であることが望ましい。尚、この場合も反射電極膜 3 5 は、レジスト膜 3 4 が厚く形成されていることから、そのステップ・カバリッジは悪い状態にある。

【0086】図 1 7 参照

17 - (1)

レジスト剥離液中に浸漬するなどして、レジスト膜 3 4 を反射電極膜 3 5 と共に除去する。

【0087】これに依って、TFT 部分では、ソース電極 2 8 S とコンタクトした反射電極 3 5 R 及び遮光膜 3 5 C が形成されたが、ゲート端子部分及びドレイン端子部分では、反射電極膜 3 5 の全てがレジスト膜 3 4 上に在ったので、残らず除去されてしまい、接続電極 3 2 G 及び 3 2 D が表出される。

【0088】このようにして製造された TFT 基板は、10 第一実施例と同様、対向基板、液晶など共に反射型液晶表示装置として組み立てられるが、電池効果に起因する腐食・溶解が起こることはなく、また、遮光膜 3 5 C の存在に依って、光リークに依る TFT の誤動作は抑制されるので、対向基板側にブラック・マトリクスを形成する必要がなくなり、開口率を向上させることができる。

【0089】本発明に於いては、前記実施例に限られず、他に多くの改変を実現させることができ、例えば、反射電極膜 3 5 を乱反射可能にする為、粗面処理したが、これは、反射電極膜 3 5 をパターン化して反射電極 3 5 R としてから粗面処理するなどは任意に選択して良い。

【0090】

【発明の効果】本発明に依る反射型液晶表示装置に於いては、TFT 基板を製造する際、TFT 部分ではソース電極の一部が表出されるスルー・ホールが形成されたパッシベーション膜で覆われ、ゲート端子部分では接続用電極が表出され、ドレイン端子部分では接続用電極が表出された状態でレジスト膜を全面に形成し、レジスト膜の露光及び現像を行って反射電極パターンの開口を形成し、レジスト膜上に反射電極膜を形成し、レジスト膜をその上に在る反射電極膜と共に剥離してソース電極とコンタクトする反射電極を形成する。

【0091】前記構成を採ることに依り、反射電極膜と接続用電極とが接触した状態で、レジスト膜の現像が行われることは皆無であり、従って、反射電極膜が A 1 で、また、ゲート端子部分及びドレイン端子部分に於ける接続用電極が ITO で、それぞれ構成されている場合であっても、電池効果に起因する腐食・溶解は発生することがなく、TFT アレイで制御される反射型液晶表示装置の製造歩留りは向上する。

【図面の簡単な説明】

【図 1】本発明の第一実施例である反射型液晶表示装置に用いる TFT 基板を製造する工程について説明する為の工程要所に於ける TFT 基板を表す要部切断側面図である。

【図 2】本発明の第一実施例である反射型液晶表示装置に用いる TFT 基板を製造する工程について説明する為の工程要所に於ける TFT 基板を表す要部切断側面図である。

50 【図 3】本発明の第一実施例である反射型液晶表示装置

に用いる T F T 基板を製造する工程について説明する為の工程要所に於ける T F T 基板を表す要部切断側面図である。

【図 4】本発明の第一実施例である反射型液晶表示装置に用いる T F T 基板を製造する工程について説明する為の工程要所に於ける T F T 基板を表す要部切断側面図である。

【図 5】本発明の第一実施例である反射型液晶表示装置に用いる T F T 基板を製造する工程について説明する為の工程要所に於ける T F T 基板を表す要部切断側面図である。

【図 6】本発明の第一実施例である反射型液晶表示装置に用いる T F T 基板を製造する工程について説明する為の工程要所に於ける T F T 基板を表す要部切断側面図である。

【図 7】本発明の第一実施例である反射型液晶表示装置に用いる T F T 基板を製造する工程について説明する為の工程要所に於ける T F T 基板を表す要部切断側面図である。

【図 8】本発明の第一実施例である反射型液晶表示装置に用いる T F T 基板を製造する工程について説明する為の工程要所に於ける T F T 基板を表す要部切断側面図である。

【図 9】本発明の第一実施例である反射型液晶表示装置に用いる T F T 基板を製造する工程について説明する為の工程要所に於ける T F T 基板を表す要部切断側面図である。

【図 10】本発明の第一実施例である反射型液晶表示装置に用いる T F T 基板を製造する工程について説明する為の工程要所に於ける T F T 基板を表す要部切断側面図である。

【図 11】本発明の第一実施例である反射型液晶表示装置に用いる T F T 基板を製造する工程について説明する為の工程要所に於ける T F T 基板を表す要部切断側面図である。

【図 12】本発明の第一実施例である反射型液晶表示装置に用いる T F T 基板を製造する工程について説明する為の工程要所に於ける T F T 基板を表す要部切断側面図である。

【図 13】本発明の第一実施例である反射型液晶表示装置に用いる T F T 基板を製造する工程について説明する為の工程要所に於ける T F T 基板を表す要部切断側面図である。

【図 14】本発明の第一実施例である反射型液晶表示装置に用いる T F T 基板を製造する工程について説明する為の工程要所に於ける T F T 基板を表す要部切断側面図である。

【図 15】本発明の第一実施例である反射型液晶表示装置に用いる T F T 基板を製造する工程について説明する為の工程要所に於ける T F T 基板を表す要部切断側面図

である。

【図 16】本発明の第二実施例である反射型液晶表示装置に用いる T F T 基板を製造する工程について説明する為の工程要所に於ける T F T 基板を表す要部切断側面図である。

【図 17】本発明の第二実施例である反射型液晶表示装置に用いる T F T 基板を製造する工程について説明する為の工程要所に於ける T F T 基板を表す要部切断側面図である。

【図 18】図 18 は標準的な反射型液晶表示装置に於ける T F T 基板を表す要部平面図である。

【図 19】図 18 に見られる T F T 領域の一部を拡大して表した要部平面図である。

【図 20】図 18 に見られる端子の部分拡大して表した要部平面図である。

【図 21】図 18 乃至図 20 について説明した T F T 基板を製造する工程について説明する為の工程要所に於ける T F T 基板を表す要部切断側面図である。

【図 22】図 18 乃至図 20 について説明した T F T 基板を製造する工程について説明する為の工程要所に於ける T F T 基板を表す要部切断側面図である。

【図 23】図 18 乃至図 20 について説明した T F T 基板を製造する工程について説明する為の工程要所に於ける T F T 基板を表す要部切断側面図である。

【図 24】図 21 に破線の円で囲んだ部分を拡大して表した要部切断側面図である。

【符号の説明】

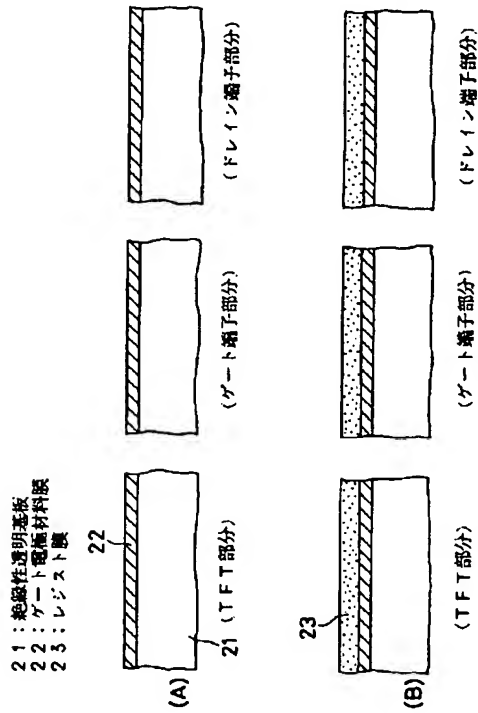
- 2 1 絶縁性透明基板
- 2 2 ゲート電極材料膜
- 2 2 G ゲート電極
- 2 2 L ゲート電極・配線
- 2 3 レジスト膜
- 2 4 ゲート絶縁膜
- 2 5 活性層
- 2 6 チャネル保護膜
- 2 7 レジスト膜
- 2 8 ソース・ドレイン電極材料膜
- 2 8 S ソース電極
- 2 8 D ドレイン電極
- 2 8 L ドレイン電極・配線
- 2 9 レジスト膜
- 3 0 パッシベーション膜
- 3 0 A スルー・ホール
- 3 0 B スルー・ホール
- 3 0 C スルー・ホール
- 3 1 レジスト膜
- 3 1 A スルー・ホール形成用開口
- 3 1 B スルー・ホール形成用開口
- 3 1 C スルー・ホール形成用開口
- 3 2 ゲート・ドレイン端子材料膜

3 2 G 接続用電極
3 2 D 接続用電極
3 3 レジスト膜
3 4 レジスト膜
3 5 反射電極膜

3 5 R 反射電極
3 5 C 遮光膜
3 5 P ピン・ホール
3 6 レジスト膜

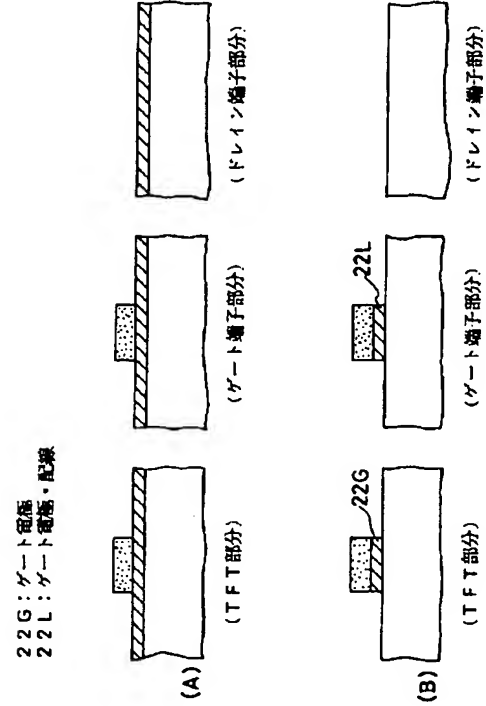
【図 1】

L 程要素に於ける T F T 基板を表す要部切断側面図



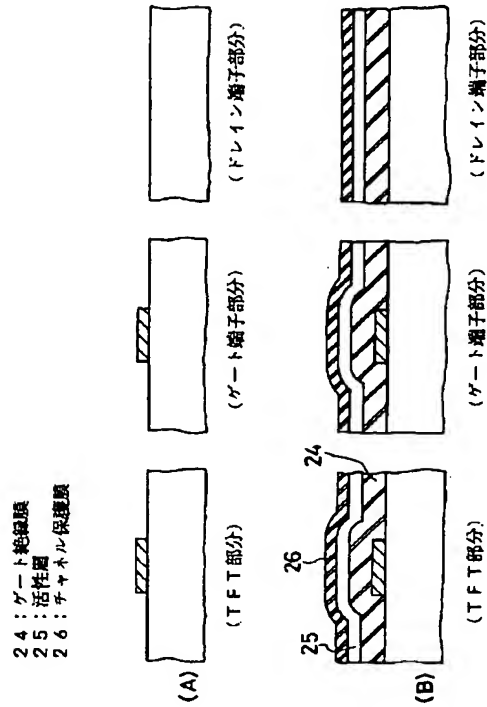
【図 2】

L 程要素に於ける T F T 基板を表す要部切断側面図



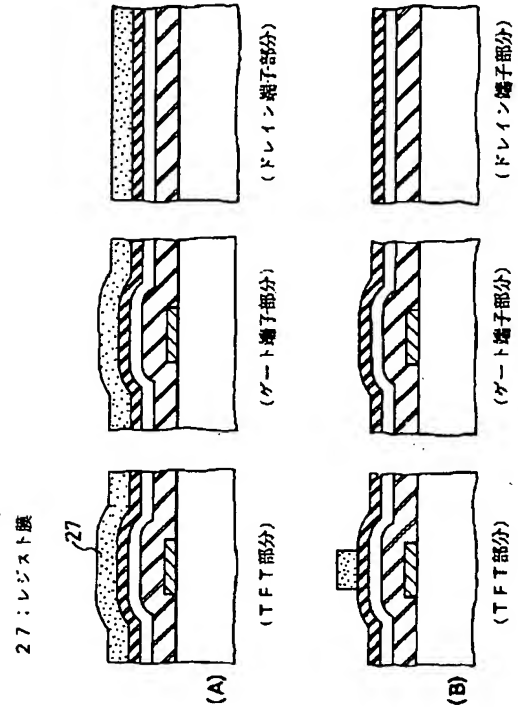
【図 3】

工程要所に於ける TFT 基板を表す要部切断側面図



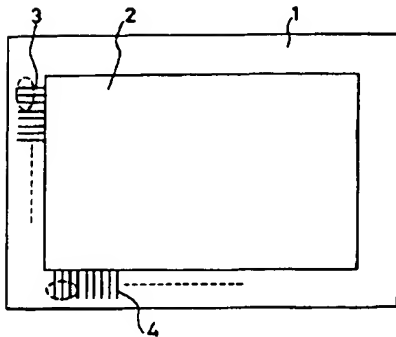
【図 4】

工程要所に於ける TFT 基板を表す要部切断側面図



【図 18】

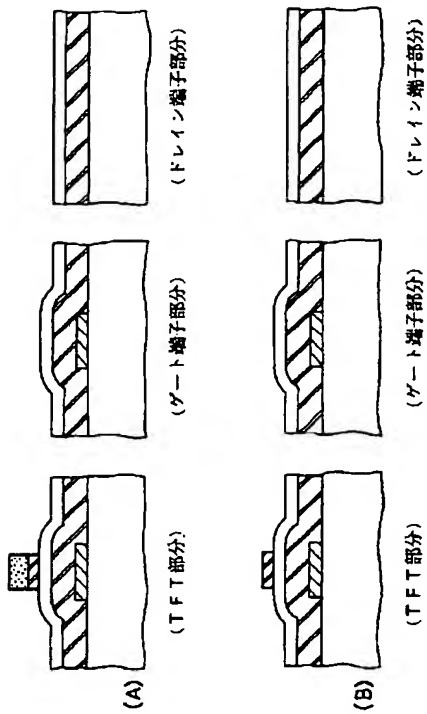
標準的な TFT 基板を表す要部平面図



- 1 : 透明絶縁性基板
2 : TFT 領域
3 : ゲート電極
4 : ドレイン電極

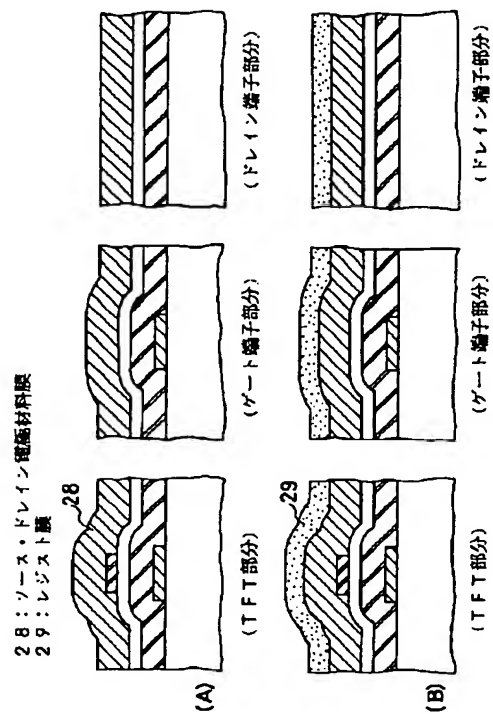
【図 5】

工程要所に於ける T F T 基板を表す要部切断側面図



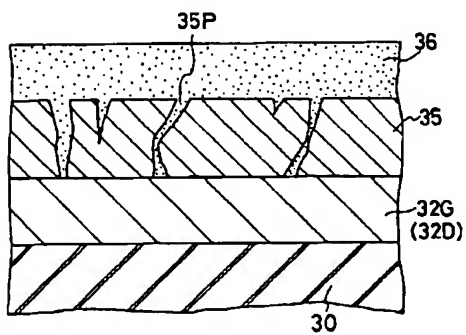
【図 6】

工程要所に於ける T F T 基板を表す要部切断側面図



【図 24】

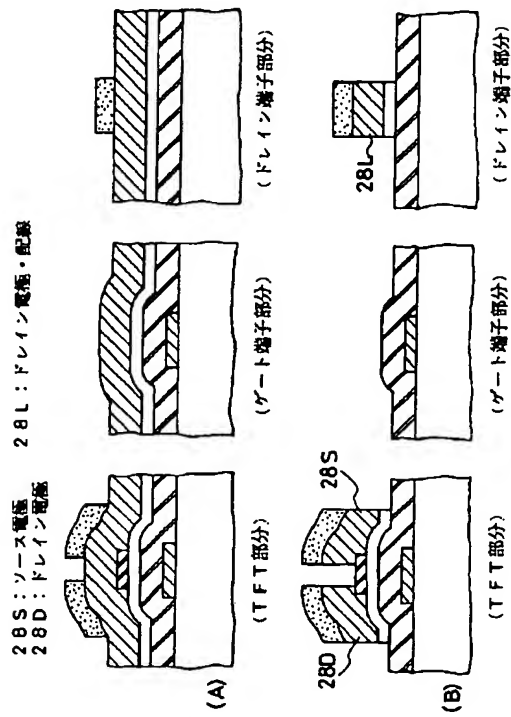
図 21 の円で囲んだ部分を拡大した要部切断側面図



35P:ピン・ホール

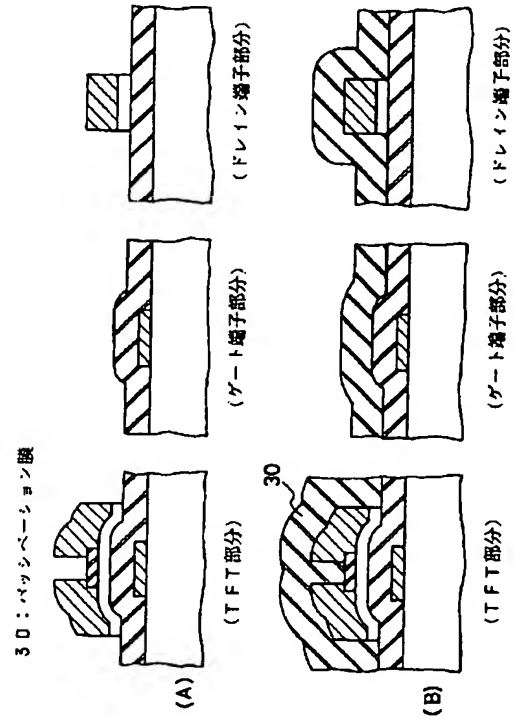
【図 7】

工程要素に於ける T F T 基板を表す要部切断側面図



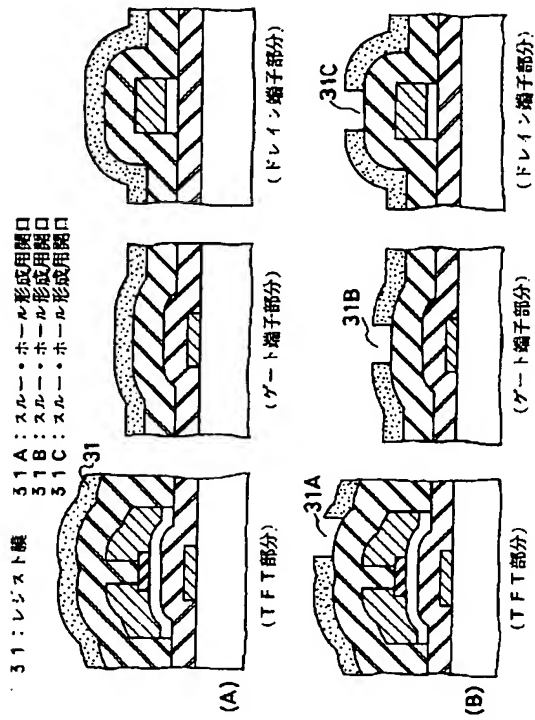
【図 8】

工程要素に於ける T F T 基板を表す要部切断側面図



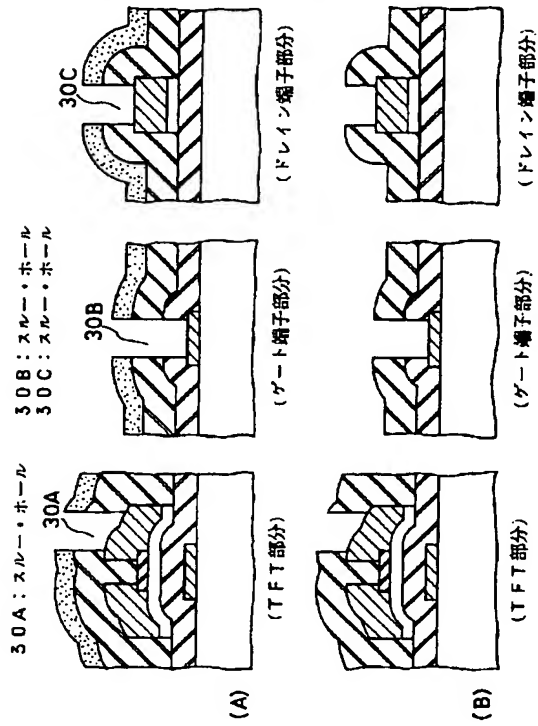
【図 9】

工程要所に於ける T F T 基板を表す要部切断側面図



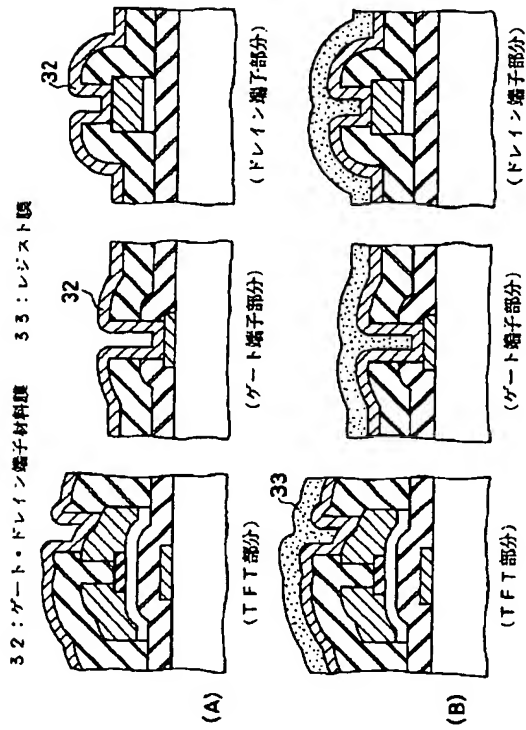
【図 10】

工程要所に於ける T F T 基板を表す要部切断側面図



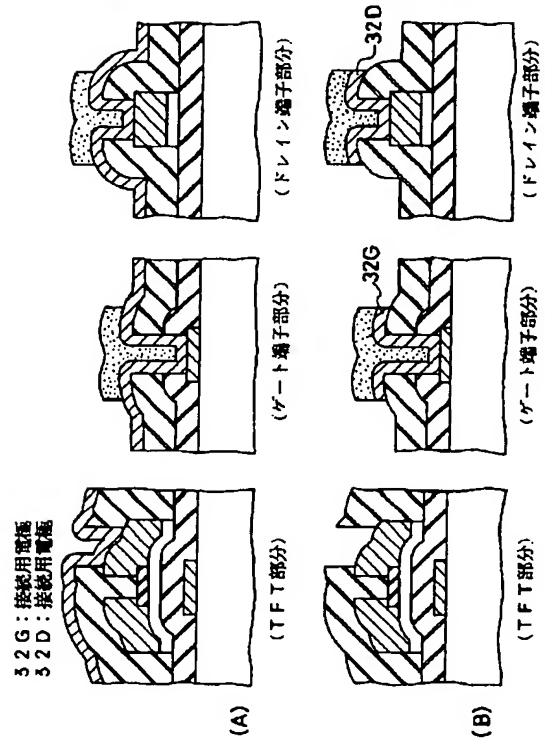
【図 11】

工程要所に於ける T F T 基板を表す要部切断面図



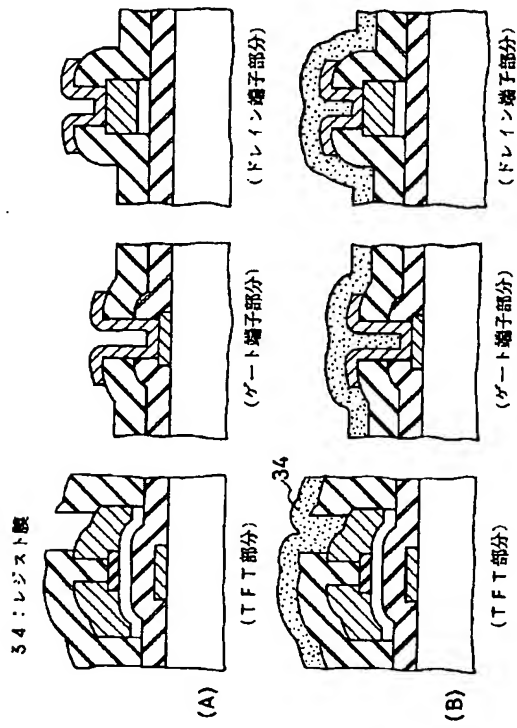
【図 12】

工程要所に於ける T F T 基板を表す要部切断面図



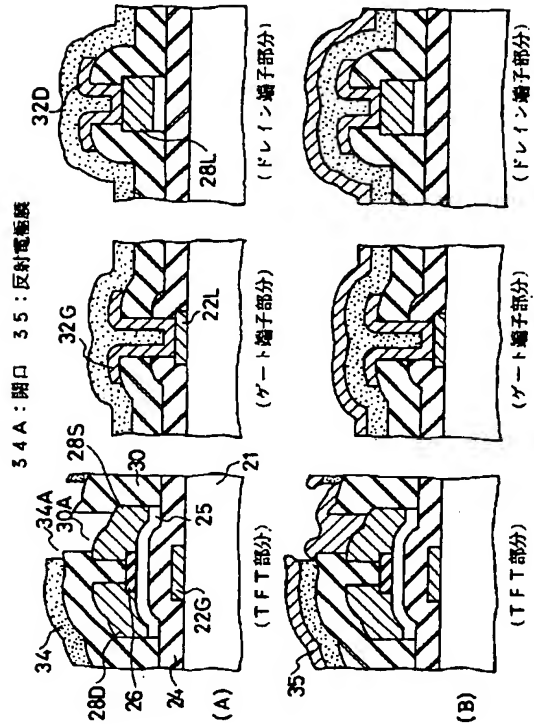
【図 1 3】

工程要所に於ける T F T 基板を表す要部切断断面図



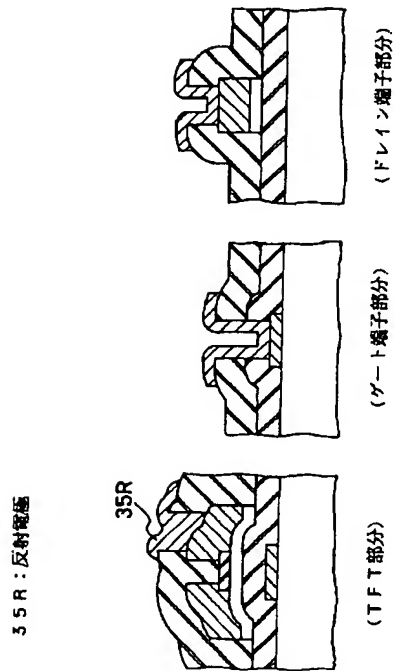
【図 1 4】

工程要所に於ける T F T 基板を表す要部切断断面図



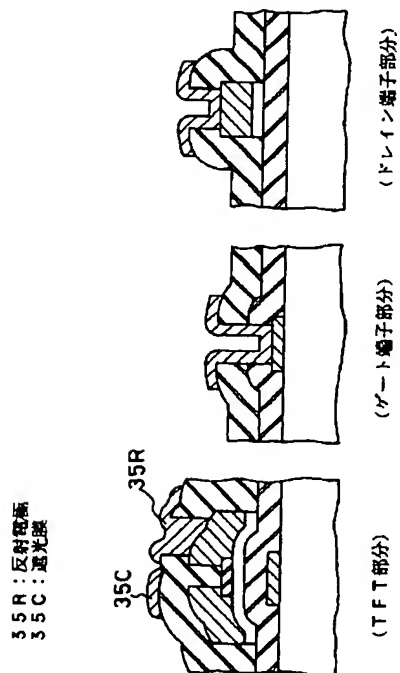
【図 15】

工程要所に於ける T F T 基板を表す要部切断側面図



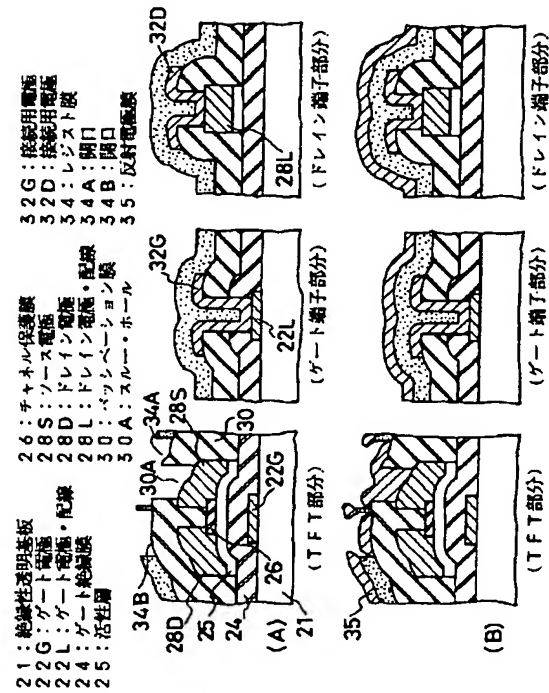
【図 17】

工程要所に於ける T F T 基板を表す要部切断側面図



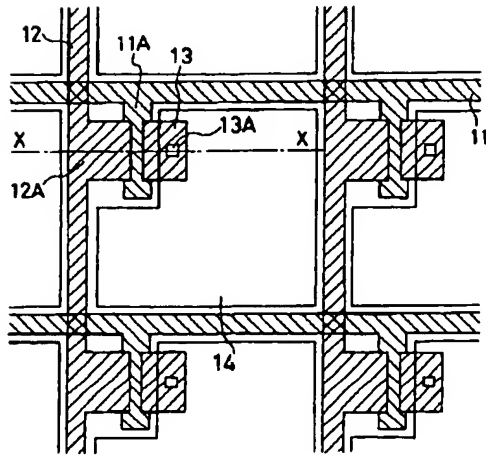
【図 16】

工程要所に於ける T F T 基板を表す要部切断側面図



【図 19】

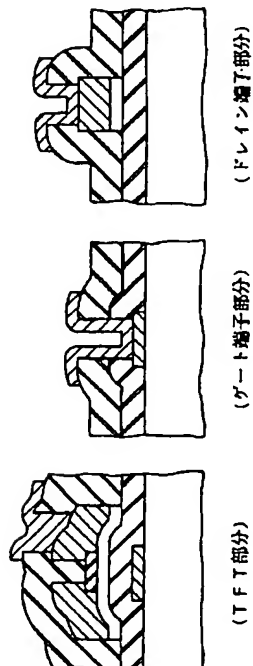
TFT領域の一部を拡大して表した要部平面図



- 11 : ゲート電極・配線
- 11A : ゲート電極
- 12 : ドレイン電極・配線
- 12A : ドレイン電極
- 13 : ソース電極
- 13A : スルー・ホール
- 14 : 画素電極 (反射電極)

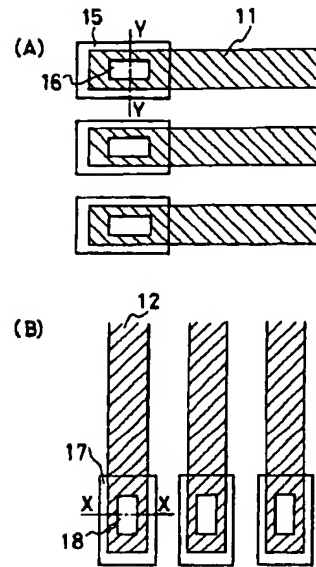
【図 23】

工程要所に於けるTFT基板を表す要部切断側面図



【図 20】

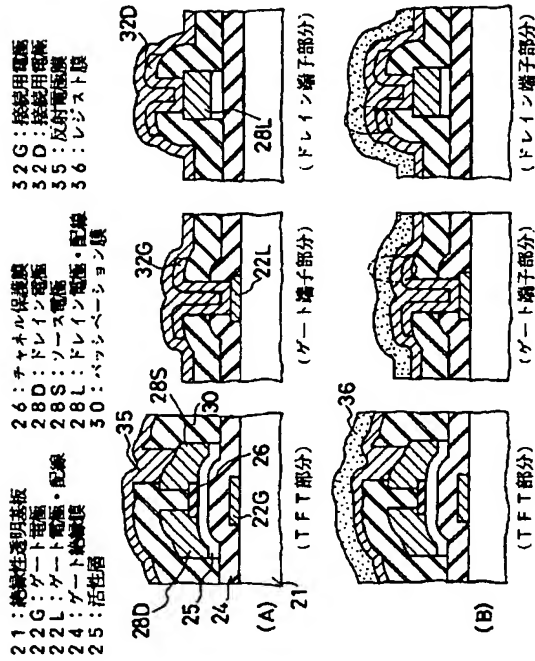
端子の部分を拡大して表した要部平面図



- 11 : ゲート電極・配線
- 12 : ドレイン電極・配線
- 15 : 接続用電極
- 16 : スルー・ホール
- 17 : 接続用電極
- 18 : スルー・ホール

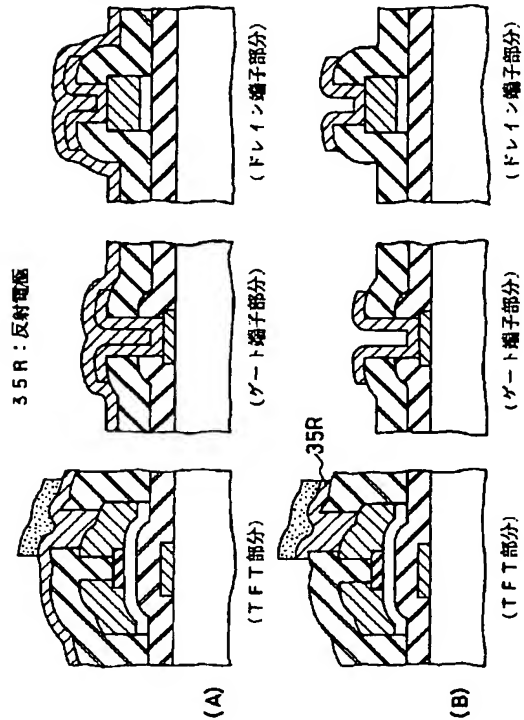
【図 2 1】

工程要所に於ける T F T 基板を表す要部切断側面図



【図 2 2】

工程要所に於ける T F T 基板を表す要部切断側面図



フロントページの続き

(72) 発明者 花岡 一孝
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72) 発明者 津田 英昭
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72) 発明者 千田 秀雄
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72) 発明者 中村 公昭
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内